



US5541130

Biblio

D sc

Claims

Page 1

Drawing

**Process for making and programming a flash memory array**

Patent Number: ☐ US5541130

Publication date: 1996-07-30

Inventor(s): OGURA SEIKI (US); ROVEDO NIVO (US); WONG ROBERT C (US)

Applicant(s):: IBM (US)

Requested Patent: ☐ JP8340095

Application Number: US19950477791 19950607

Priority Number(s): US19950477791 19950607

IPC Classification: H01L21/8247

EC Classification: H01L21/8247M2

Equivalents:

Abstract

A process for fabricating a high density memory array. N-type impurities are implanted in a p-type substrate to form continuous rails of diffusion that have a substantially flat contour. Each rail of diffusion defines a corresponding bit line. Each rail defines the source and drain region of each pair of adjacent memory array cells associated with the bit line. In one embodiment, multiple layers of polysilicon are utilized to form a control gate, a floating gate, a source and a drain. In another embodiment, multiple layers of polysilicon are utilized to form an auxiliary gate, a floating gate, a source and a drain. In both embodiments, the polysilicon layers self-aligned to substantially reduce polysilicon layer-overlap so as to minimize parasitic capacitances. Domino and Skippy Domino schemes are used to program and read the memory array cells. Programming may be implemented with channel hot-electron tunneling using relatively low programming voltages thereby realizing faster programming time and closer bit-line spacing.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-340095

(43) 公開日 平成8年(1996)12月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115			H 0 1 L 27/10	4 3 4
21/8247			29/78	3 7 1
29/788				
29/792				

審査請求 未請求 請求項の数30 O L (全 19 頁)

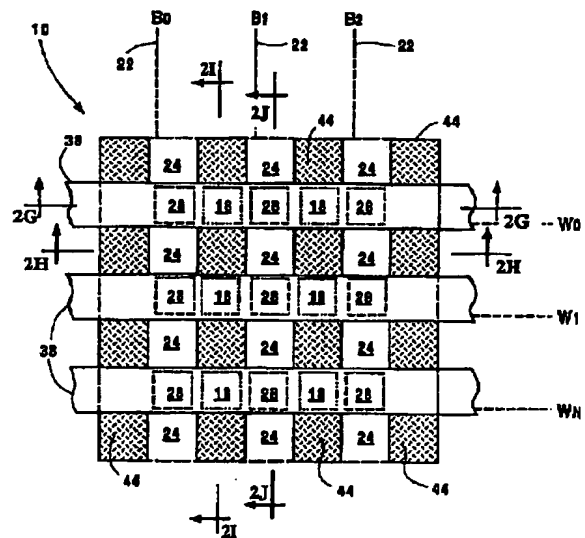
(21) 出願番号	特願平8-132201	(71) 出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22) 出願日	平成8年(1996)5月27日	(72) 発明者	セイキ・オグラ アメリカ合衆国12533、ニューヨーク州ホーブウェル・ジャンクション、ロング・ヒル・ロード 50
(31) 優先権主張番号	4 7 7 7 9 1	(74) 代理人	弁理士 合田 潔 (外2名)
(32) 優先日	1995年6月7日		最終頁に続く
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 メモリ・アレイの製作方法、プログラム方法及びメモリ・アレイ

(57) 【要約】

【課題】 高密度メモリ・アレイを製作するプロセスを提供する。

【解決手段】 N型不純物がP型基板内12に注入され、実質的に平坦な輪郭を有する連続的な拡散レール24を形成する。各拡散レールが対応するビット・ラインを規定する。各レールはビット・ライン22に関連付けられる各隣接メモリ・アレイ・セル対のソース及びドレイン領域を規定する。1態様では、複数のポリシリコン層が制御ゲート、浮遊ゲート18、ソース及びドレインを形成するために使用される。ポリシリコン層は寄生容量を最小化するために、ポリシリコン層オーバーラップを実質的に低減するように自己整合される。ドミノ及びスキッピー・ドミノ機構が、メモリ・アレイ・セルをプログラム及び読出するために使用される。プログラミングは比較的低いプログラミング電圧を用いて、チャンネル・ホット・エレクトロン・トンネル現象により実現される。



【特許請求の範囲】

【請求項 1】基板内にメモリ・セルのアレイを製作する方法であって、

- a) 前記基板上に隆起した分離領域を形成する工程であって、前記基板のアレイ活性領域上に第 1 の熱酸化物層を成長させる工程と、前記第 1 の熱酸化物層上に浮遊ゲートを形成する第 1 の導電層を付着する工程と、前記第 1 の導電層上に窒化物層を付着する工程とを含む、前記形成工程と、
- b) 前記第 1 の導電層及び前記窒化物層をマスキング及びエッチングし、第 1 の方向に延びる複数の間隔を置いた細長のスタックを形成する工程と、
- c) 前記スタック間の前記アレイ活性領域に、前記基板と反対の電導性タイプを有する不純物を注入し、前記第 1 の方向に延び、実質的に平坦な輪郭を有する連続的な細長の拡散レールを形成する工程であって、前記拡散レールが間隔を置いたビット列ラインを形成する、前記注入工程と、
- d) 前記拡散レール上及び前記第 1 の導電層のエッジ上に第 2 の熱酸化物層を成長させる工程と、
- e) 前記第 2 の熱酸化物層上に、補助ゲートを形成する第 2 の導電層を付着する工程と、
- f) 前記第 2 の導電層を前記窒化物層と同一平面になるように平坦化する工程と、
- g) 前記第 2 の導電層上に第 3 の熱酸化物層を成長させる工程と、
- h) 前記窒化物層を選択的にエッチングして、前記第 1 の導電層を覆う前記窒化物層の 1 部を除去し、前記第 1 の導電層を露出させるエッチング工程と、
- i) 前記露出した第 1 の導電層上に第 1 の絶縁層を形成する工程と、
- j) 前記第 1 の絶縁層上に第 3 の導電層を付着する工程と、
- k) 前記第 3 の導電層上に第 2 の絶縁層を付着する工程と、
- l) 前記第 3 の導電層及び前記第 2 の絶縁層をパターンニングして、ワード・ラインを形成するパターンニング工程と、
- m) 前記第 1 の導電層を選択的にエッチングして、前記第 1 の導電層を前記第 3 の導電層と実質的に位置整合し、電界分離領域を形成するエッチング工程と、を含む、方法。

【請求項 2】前記電界分離領域に不純物を注入する工程と、

前記電界分離領域上に酸化物層を形成する工程と、
前記電界分離領域上に第 3 の絶縁層を付着する工程と、
を含む、請求項 1 記載の方法。

【請求項 3】前記第 1 の導電層にリンを添加する工程を含む、請求項 1 記載の方法。

【請求項 4】前記第 1 の導電層がポリシリコンである、

請求項 1 記載の方法。

【請求項 5】前記基板が P 型シリコン基板である、請求項 1 記載の方法。

【請求項 6】前記注入工程 c) において、前記不純物が N 型不純物である、請求項 5 記載の方法。

【請求項 7】前記第 2 の導電層がポリシリコンである、請求項 1 記載の方法。

【請求項 8】各ビット列ラインが、該ビット列ラインに関連付けられる各隣接アレイ・セル対のソース領域及びドレイン領域を規定する、請求項 1 記載の方法。

【請求項 9】前記第 2 の導電層にリンを添加する工程を含む、請求項 1 記載の方法。

【請求項 10】前記第 1 の絶縁層が ONO 共重合絶縁層を含む、請求項 1 記載の方法。

【請求項 11】前記第 3 の導電層がポリシリコンである、請求項 1 記載の方法。

【請求項 12】前記第 3 の絶縁層がリン・ケイ酸ガラスから成る、請求項 2 記載の方法。

【請求項 13】前記アレイが N ビット・ライン及び M ワード・ラインを有する、請求項 1 記載の方法により形成されるメモリ・アレイ。

【請求項 14】請求項 13 の前記アレイにデータ・ワードを書込む方法が、

a) N ビット・ラインの各々に第 1 の電位を供給するステップと、

b) 書込みオペレーションが最下位ビット・ラインまたは N 番目のビット・ラインのいずれから開始するかを決定するステップと、

c) 前記ステップ b) で前記書込み方法が前記最下位ビット・ラインから開始すると決定された場合、第 2 の電位を前記最下位ビット・ラインに供給し、順次前記第 2 の電位を各続くビット・ラインに供給するステップと、

d) 前記ステップ b) で前記書込み方法が前記 N 番目のビット・ラインから開始すると決定された場合、前記第 2 の電位を前記 N 番目のビット・ラインに供給し、順次前記第 2 の電位を各ビット・ラインに降順に供給するステップと、
を含む、方法。

【請求項 15】次のデータ・ワードを書込むように、前記ステップ a) 乃至 d) を繰返すステップを含む、請求項 14 記載の方法。

【請求項 16】a) 前記第 1 の電位を前記 N 番目のビット・ラインに供給するステップと、

b) 前記第 2 の電位を N-1 番目のビット・ラインに供給するステップと、

c) 前記第 1 の電位を前記 N 番目のビット・ラインに供給するステップと、

d) その後 N を 1 減分するステップと、

e) 全てのビット・ラインが前記第 1 の電位になるまで、前記ステップ a) 乃至 c) を繰返すステップと、

を含む、請求項 1 4 記載の方法。

【請求項 1 7】請求項 1 3 の前記アレイのセルを読出す方法であって、

- a) ワード・ラインをアクセスするステップと、
 - b) 前記アクセスされるワード・ラインに関連付けられて読出されるセルを選択するステップと、
 - c) 前記選択セルに関連付けられるビット・ラインを第 1 の電位にプリチャージするステップと、
 - d) 前記プリチャージされるビット・ラインの直前のビット・ラインに第 2 の電位を供給するステップと、
 - e) 前記プリチャージされるビット・ラインの直後のビット・ラインに第 1 の電位を供給するステップと、
- を含む、方法。

【請求項 1 8】基板内にメモリ・セルのアレイを製作する方法であって、

- a) 前記基板上に電界分離領域を形成する工程と、
- b) 前記基板のアレイ活性領域上に第 1 の絶縁層を付着する工程と、
- c) 前記第 1 の絶縁層上に浮遊ゲートを形成する第 1 の導電層を付着する工程と、
- d) 前記第 1 の導電層上に第 2 の絶縁層を形成する工程と、
- e) 前記第 1 の導電層及び前記第 2 の絶縁層をマスキング及びエッチングし、第 1 の方向に延びる前記第 1 の導電層及び前記第 2 の絶縁層の複数の間隔を置いた細長のスタックを形成する工程と、
- f) 前記スタック間の前記アレイ活性領域に、前記基板と反対の電導性タイプを有する不純物を注入し、間隔を置いたビット列ラインを形成する第 1 の方向に延びる細長の拡散レールを形成する工程であって、前記拡散レールが実質的に平坦な輪郭を有する、前記注入工程と、
- g) 前記第 1 の導電層により覆われない前記アレイ活性領域の 1 部上に第 3 の絶縁層を形成する工程と、
- h) 前記第 3 の絶縁層上に制御ゲートを形成する第 2 の導電層を付着する工程と、
- i) 前記第 2 の導電層上に第 4 の絶縁層を付着する工程と、
- j) 前記第 2 の絶縁層及び前記第 2 の導電層をマスキング及びエッチングし、続いて、前記第 1 の絶縁層及び前記第 1 の導電層をマスキング及びエッチングすることにより、前記第 1 の導電層を前記第 2 の導電層に位置整合する工程と、
- k) 前記第 1 及び第 2 の導電層のエッジ上に第 5 の絶縁層を形成する工程と、
- l) 前記アレイ活性領域上に第 3 の導電層を付着する工程と、
- m) 前記第 3 の導電層上に第 6 の絶縁層を付着する工程と、
- n) 前記第 6 の絶縁層及び前記第 3 の導電層をバターン

バタニング工程と、

を含む、方法。

【請求項 1 9】前記第 1 の導電層がポリシリコンである、請求項 1 8 記載の方法。

【請求項 2 0】前記第 1 の導電層にリンを添加する工程を含む、請求項 1 9 記載の方法。

【請求項 2 1】前記基板が P 型シリコン基板である、請求項 1 8 記載の方法。

【請求項 2 2】前記注入工程 f) において、前記不純物が N 型不純物である、請求項 2 1 記載の方法。

【請求項 2 3】前記第 2 の導電層がポリシリコンである、請求項 2 1 記載の方法。

【請求項 2 4】前記第 2 の導電層にリンを添加する工程を含む、請求項 2 3 記載の方法。

【請求項 2 5】各ビット列ラインが、該ビット列ラインに関連付けられる各隣接アレイ・セル対のソース領域及びドレイン領域を規定する、請求項 1 8 記載の方法。

【請求項 2 6】前記第 2 の絶縁層が酸化物及び窒化物を含む、請求項 1 8 記載の方法。

【請求項 2 7】前記第 3 の導電層がポリシリコンである、請求項 1 8 記載の方法。

【請求項 2 8】前記第 3 の導電層にリンを添加する工程を含む、請求項 2 7 記載の方法。

【請求項 2 9】前記形成ステップ k) が、前記第 1 及び第 2 のポリシリコン層の前記エッジを封止する酸化物層を形成する工程と、前記酸化物層上に、酸化物及び窒化物を含むスペーサを形成する工程と、

を含む、請求項 1 8 記載の方法。

【請求項 3 0】メモリ・セルのアレイであって、第 1 の電導性タイプを有する基板と、分離領域を規定する第 1 の方向に延びる複数の細長のスタックであって、前記の各スタックが、前記基板の活性領域上に配置される第 1 の熱酸化物層と、

前記第 1 の熱酸化物層上に配置され、浮遊ゲートを形成する第 1 の導電層と、

を含む、前記スタックと、

前記基板の前記活性アレイ領域、及び前記スタック間に注入される複数の連続的な細長の拡散レールであって、

前記レールが前記第 1 の方向に延び、実質的に平坦な輪郭を有し、前記基板と反対の第 2 の電導性タイプを有する不純物を含み、前記の各拡散レールがビット列ライン、及び該ビット列ラインに関連付けられる各隣接アレイ・セル対のソース領域及びドレイン領域を規定する、前記拡散レールと、

前記拡散レール上及び前記第 1 の導電層の前記エッジ上に配置される第 2 の熱酸化物層と、

前記第 2 の熱酸化物層上に、前記窒化物層と実質的に同一平面になるように配置されて、補助ゲートを形成する

第2の導電層と、
前記第2の導電層上の第3の熱酸化物層と、
前記第1の導電層上に配置される第1の絶縁層と、
複数のワード・ラインであって、
前記第1の絶縁層上に、前記第1の導電層と位置整合するように配置される第3の導電層と、
前記第3の導電層上に配置される第2の絶縁層と、
を含む、前記ワード・ラインと、
を含む、アレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフラッシュ・メモリ・アレイ構造に関する。

【0002】

【従来の技術】メモリ・デバイスは通常、超大規模集積回路(VLSI)上の行と列の矩形アレイ内に構成される半導体メモリを含む。ある行とある列の交差点は、"セル"と呼ばれる記憶素子となる。半導体メモリは様々なこうしたセルから成る。各セルはデータの2値ビットを記憶することができる。各列はビット・ラインを定義し、各行はワード・ラインを定義する。アドレスは各行または各列に割当てられる。セルの行または列にデータを書込むために、またはそこからデータを読み出すために、所望のアドレスが2進コード形式でアドレス復号器の入力に提供される。2進コード化入力に回答して、復号器は書き込みまたは読み出しオペレーションのための所望の行または列を選択する。

【0003】フラッシュ・メモリ・アレイなどのメモリ・デバイスは、通常、NAND論理またはNOR論理により構成されるアレイから成る。こうしたアレイは通常、マンハッタン型構造として構成される。NAND論理アレイはNOR論理アレイの約2倍の密度を有する。しかしながら、NAND論理アレイでは、アクセス時間が回路を通じる直列抵抗により低速である。更にNAND論理アレイでは、複雑な周辺支援回路が要求される。更にNAND論理アレイは、比較的低速なプロセスであるFowler-Nordheimトンネル現象によるプログラミングに限られる。Fowler-Nordheimトンネル現象は、フル・ビット・ライン・バイアス電位が多数の電圧降下(連鎖内の各デバイスのしきい値電圧)により低減されること無しに、アレイ内の遠端または最後のデバイスに達するように非選択ワード・ラインへの比較的高い電圧の印加を要求する。従って、非選択ワード・ラインに印加されるこの高電圧により、隣接ビット・ラインが広く間隔を置かれなければならない、高密度メモリ・アレイの設計を妨げることになる。NAND論理アレイは通常、過度な直列抵抗を回避するために直列の16デバイスに制限される。更にNAND論理アレイの各メモリ・セルは、2個の余分な選択ゲートを要求し、製造コストを押し上げ、NAND論理アレイの効率を低下させる。

【0004】マンハッタン型構造によるメモリ・アレイは通常、隣接セルにより共用される長い共通拡散を使用する。こうした構成は、プログラミング及び読み出しオペレーションにおいて、逆プログラミング及び読み出し干渉などの困難を助長する。例えば、センシングの間にビット・ラインが論理"低"レベルにブルダウンされるとき、ビット・ラインが選択セルまたは隣接セルのいずれによりブルダウンされているかが常に明らかでない。同様にアドレスされたセルが非導通状態の時、対応する選択ビット・ラインは論理"高"レベルであるべきである。しかしながら、ビット・ラインは隣接非選択セルにより、誤って論理"低"レベルにブルダウンされうる。プログラミング・オペレーションの間にも類似の混乱が生じる。例えばアドレスされたセルのプログラミングは隣接セルを混乱しうる。プログラミング及び読み出しオペレーションに関連するこれらの問題を解決するために、多くの試みが取られてきた。1つの試みは、各メモリ・セルが非対称構成を有するように設計することである。これはメモリ・セルの一方への角度注入(angle-implanting)により達成され、それにより一方からの妨害が反対方向からの妨害よりも小さくなる。しかしながら、こうしたセル構成により上述の問題がかるうじて軽減されるだけであることが判明している。更に非対称のメモリ・セル構成は、比較的大きなサイズのメモリ・セルを要求する。上述の問題を解決するための別の試みは干渉を排除するための追加のスプリット・ゲートを提供することである。しかしながら、このアプローチはメモリ・セルのサイズを同時に増加させる。更に別のアプローチは、同一ワード・ラインを共用するメモリ・セルのドレイン拡散を分離する。

【0005】NAND論理及びNOR論理メモリ・アレイは、通常、"スタック"に構成される多重ポリシリコン層を使用する。しかしながら、寄生容量はある層が別の層とオーバーラップする度合いにより規定されるオーバーレイ公差から生じる。層同士が互いに大きくオーバーラップすると、メモリ・アレイのオペレーションに悪影響を及ぼす大きな寄生容量が生じる。

【0006】

【発明が解決しようとする課題】従って、従来のメモリ・アレイの問題及び欠点を鑑み、本発明の目的は、メモリ・セルの特性を悪化させること無しに、集積密度の増加を提供するメモリ・アレイ・アーキテクチャを提供することである。

【0007】本発明の別の目的は、周辺コンポーネントの数を最小化するメモリ・アレイ・アーキテクチャを提供することである。

【0008】更に本発明の別の目的は、読み出しまたは書き込みオペレーションにおける比較的高速なアクセス時間を提供し、比較的低消費電力を有するメモリ・アレイ・アーキテクチャを提供することである。

【0009】更に本発明の別の目的は、隣接メモリ・セル間の干渉を生じること無く、プログラム及び読出されうるメモリ・セルを含むメモリ・アレイを提供することである。

【0010】本発明の別の目的は、読出し専用メモリの他に、ランダム・アクセス・メモリを実現するために使用されうるメモリ・アレイ・アーキテクチャを提供することである。

【0011】本発明の他の目的及び利点が、当業者には後述の説明から明らかとなる。

【0012】

【課題を解決するための手段】本発明の第1の態様では、基板内にメモリ・セルのアレイを製作するプロセスを提供する。このプロセスは、

a) 基板上に隆起した分離領域を形成する工程であって、基板の活性領域上に第1の熱酸化物層を成長させる工程と、第1の熱酸化物層上に浮遊ゲートを形成する第1の導電層を付着する工程と、前記第1の導電層上に窒化物層を付着する工程とを含む、前記形成工程と、
b) 第1の導電層及び窒化物層をマスキング及びエッチングし、第1の方向に延びる複数の間隔を置いた細長のスタックを形成する工程と、
c) スタック間のアレイ活性領域に、基板と反対の電導性タイプを有する不純物を注入し、第1の方向に延び、実質的に平坦な輪郭を有する連続的な細長の拡散レールを形成する工程であって、拡散レールが間隔を置いたビット列ラインを形成する、前記注入工程と、
d) 拡散レール上及び第1の導電層のエッジ上に第2の熱酸化物層を成長させる工程と、
e) 第2の熱酸化物層上に、補助ゲートを形成する第2の導電層を付着する工程と、
f) 第2の導電層を前記窒化物層と同一平面になるように平坦化する工程と、
g) 前記第2の導電層上に第3の熱酸化物層を成長させる工程と、
h) 窒化物層を選択的にエッチングして、第1の導電層を覆う窒化物層の1部を除去し、第1の導電層を露出させるエッチング工程と、
i) 露出した第1の導電層上に第1の絶縁層を形成する工程と、
j) 第1の絶縁層上に第3の導電層を付着する工程と、
k) 第3の導電層上に第2の絶縁層を付着する工程と、
l) 第3の導電層及び第2の絶縁層をパターニングして、ワード・ラインを形成するパターニング工程と、
m) 第1の導電層を選択的にエッチングして、第1の導電層を第3の導電層と実質的に位置整合し、電界分離領域を形成するエッチング工程とを含む。

【0013】関連する態様では、基板内にメモリ・セルのアレイを製作するプロセスが、

a) 基板上に電界分離領域を形成する工程と、

b) 基板のアレイ活性領域上に第1の絶縁層を付着する工程と、

c) 第1の絶縁層上に浮遊ゲートを形成する第1の導電層を付着する工程と、

d) 第1の導電層上に第2の絶縁層を形成する工程と、

e) 第1の導電層及び第2の絶縁層をマスキング及びエッチングし、第1の方向に延びる第1の導電層及び第2の絶縁層の複数の間隔を置いた細長のスタックを形成する工程と、

10 f) スタック間のアレイ活性領域に、基板と反対の電導性タイプを有する不純物を注入し、間隔を置いたビット列ラインを形成する第1の方向に延びる細長の拡散レールを形成する工程であって、拡散レールが実質的に平坦な輪郭を有する、前記注入工程と、

g) 第1の導電層により覆われないアレイ活性領域の1部上に第3の絶縁層を形成する工程と、

h) 第3の絶縁層上に制御ゲートを形成する第2の導電層を付着する工程と、

i) 第2の導電層上に第4の絶縁層を付着する工程と、

20 j) 第2の絶縁層及び第2の導電層をマスキング及びエッチングし、続いて第1の絶縁層及び第1の導電層をマスキング及びエッチングすることにより、第1の導電層を第2の導電層に位置整合する工程と、

k) 第1及び第2の導電層のエッジ上に第5の絶縁層を形成する工程と、

l) アレイ活性領域上に第3の導電層を付着する工程と、

m) 第3の導電層上に第6の絶縁層を付着する工程と、

30 n) 第6の絶縁層及び第3の導電層をパターニングして、アレイ活性領域上に電界遮蔽を形成する工程とを含む。

【0014】

【発明の実施の形態】本発明の好適な態様を述べるに当たり、付随の図面における同一参照番号は、本発明の同様の機構を指す。

【0015】1) 第1の態様

図1を参照すると、本発明の好適なメモリ・アレイ10は、相互に交差する行及び列に配置される複数のメモリ・セルを含む。列は図中B0、B1、B2、...、Bmと指定されるビット・ラインに接続される。一方、行はW0、W1、W2、...、Wnと指定されるワード・ラインに接続される。図1は、マンハッタン構造に構成されるメモリ・アレイ構造10の図解的平面図を示す。メモリ・アレイ10を形成するプロセスについて、図1及び図2乃至図12を参照しながら述べることにする。

【0016】A) 第1の態様を形成するプロセス

a) 第1の態様を形成するプロセスの第1工程は、基板12上に隆起した分離領域14（図2）を形成する工程を含む。好適には、使用される隆起分離プロセスは、米国特許番号第5369049号で述べられるプロセスで

ある。前記特許のプロセスに従えば、結果の構造は支援回路領域上に成長されるトンネル酸化物層16及びアレイ活性領域17を組込む。トンネル酸化物層16は、好適には約90の厚さを有する。

【0017】b) 結果の構造は、トンネル酸化物層16上に浮遊ゲート18(図1参照)を形成する第1のポリシリコン層18を組込む。ポリシリコン層18は好適には約3000の厚さを有する。

【0018】c) このポリシリコン層18は、リンにより濃度約 10^{19} cm^{-3} に適切に添加される。

【0019】d) ポリシリコン層18上に窒化物の保護層またはキャップ20(図2参照)も組込まれる。好適には、保護層20は約1500の厚さを有する。

【0020】e) 図3を参照すると、リソグラフィック・マスク及び方向性エッチング・プロセスにより、アレイ活性領域において、ストライプまたは細長のスタック19が、第1のポリシリコン層18及び窒化物層20を含む大きな矩形に切り込まれる。しかしながら、トンネル酸化物層16は実質的にエッチングされない。支援回路領域では、高電圧デバイス及び低電圧デバイスの2種類のデバイスが使用される。高電圧デバイス領域は、このプロセス工程の間にポリシリコン層18及び窒化物層20を取り除くように開口を開けられる。低電圧デバイス領域では、リソグラフィック・マスク・パターン層18及び20が、ゲート絶縁体として作用するトンネル酸化物層16と共にゲート電極を形成する。このリソグラフィック・マスクはまた、ストライプ19間のソース領域及びドレイン領域を規定する。

【0021】f) 図4を参照すると、アレイ活性領域内でリソグラフィック・マスクが使用されて、ストライプ19間のストライプまたは領域21がN+型不純物により添加され、N型領域24が形成される。これはイオン注入により達成される。N型領域24は、基板12の上面と実質的に同一平面を成す実質的に平坦な輪郭を有する。このプロセス工程は、拡散されたビット・ライン22(図1参照)の形成に作用する。

【0022】g) 酸化物層26が、第1のポリシリコン層18の露出したシリコン(Si)・エッジ上、及びN型領域24上に成長される。好適には、酸化物層26は約400の厚さを有する。低電圧支援回路領域では、先行エッチング・マスクにより開けられたソース及びドレイン領域、及びポリシリコン層18の露出したシリコン・エッジが酸化される。高電圧支援回路領域では、酸化物層26が高電圧に耐えうる十分な厚さを有するゲート酸化物層を形成する。

【0023】h) 図5を参照すると、上記工程e)のエッチング/マスク・プロセスにより生成されたN型領域24(ストライプ21により規定される領域)上に、第2のポリシリコン層28が付着される。ポリシリコン層28が次にリンにより添加される。ポリシリコン層28

は次にポリシリコン層28が窒化物キャップまたは窒化物層20の上面と同一平面になるように、化学的-機械的研磨プロセスにより平坦化される。破線30は、平坦化される以前の第2のポリシリコン層28の表面を示す。第2のポリシリコン層28は、補助ゲート(図1参照)を形成する。補助ゲートは分離を提供するか、消去ゲートとして任意選択的に使用されうる。ポリシリコン層28はまた、高電圧デバイスのゲート領域を形成しうる。低電圧デバイスでは、ポリシリコン層28はソース領域及びドレイン領域へのコンタクトを形成するために使用されうる。この場合、ポリシリコン層28を付着する以前に、ドレイン/ソース領域上で開状態のマスクが使用されて、ソース/ドレイン領域が注入され、ソース/ドレイン領域の水平面上の酸化物層が方向性を持ってエッチングされ、ゲートの側の酸化物が取り残される。ポリシリコン層28は拡散レール(ソース/ドレイン領域)には電気的に接続されない。

【0024】i) 図6を参照すると、第2のポリシリコン層28上に(酸化により)酸化物層34が成長される。

【0025】j) 第1のポリシリコン18上の窒化物層またはキャップ20が、選択的に除去される。窒化物層20を除去し、ポリシリコン層18を露出するために、高温のリン酸エッチング・プロセスが使用されうる。しかしながら、リン酸エッチング・プロセスは、ポリシリコン層28を覆う酸化物層34には影響しない。

【0026】k) 図7を参照すると、露出された第1のポリシリコン層18が酸化され、ONO共重合絶縁層(二酸化ケイ素と窒化ケイ素の化合物)の底面酸化物層を形成する。底面酸化物層は、好適には約200の厚さを有する。次に、好適には約70の厚さを有する窒化物層が前述の底面酸化物層上に付着される。次に酸化プロセスにより、薄い酸化物表皮が窒化物層上に形成され、ONO共重合絶縁層36が完成される。ONO層36はシーリング酸化物層34の厚さの約1/2以下に設計され、ONO層36を除去するために酸化物層34がエッチング・プロセスに晒されるときに(後述)、酸化物層34の十分な部分がポリシリコン層28上に残るように保証する。

【0027】l) 図8を参照すると、第3のポリシリコン層38がONO層36上に付着される。ポリシリコン層38は次にリンにより添加される。

【0028】m) 図8を再度参照すると、ポリシリコン層38は次に絶縁層40により覆われる。

【0029】n) ポリシリコン層38及び絶縁層40は、次にリソグラフィック・マスク及び方向性エッチングによりパターンニングされ、ワード・ラインが形成される。ポリシリコン層38及び絶縁層40がエッチングされた後、ONO層36がエッチングされる。しかしながら、酸化物層34は上述のようにONO層36よりも厚

10

20

30

40

50

いために取り残される。

【0030】o) 図9乃至図11を参照すると、第1のポリシリコン層18が選択的にエッチングされ、第1のポリシリコン層18が第3のポリシリコン層38のラインに位置整合される(第1のポリシリコン層18が第3のポリシリコン層38に自己整合される)。しかしながら、第1のポリシリコン層18は第3のポリシリコン層38(またはワード・ライン)下で連続的ではない。なぜなら、前者は上記工程e)のマスキング工程によりセグメント化され、ワード・ライン下にポリシリコンの浮遊ゲート18の"島"を形成したからである。従って、図1のライン2H-2Hに沿う断面図が図9に相当し、図1のライン2I-2Iに沿う断面図が図10に相当する。また、複数のワード・ライン及び補助ゲートを形成する第2のポリシリコン層28を横断するライン2J-2Jに沿う断面図が、図11に示される。

【0031】p) 図12(図9と同じ)を参照すると、先行エッチング工程の結果、電界分離領域44がアレイ活性領域内に形成される。電界分離領域44は低まった領域であり、ホウ素注入46により添加され、寄生FETのオンを防止する酸化物を有するように酸化される。好適には、酸化物層は約300Åの厚さを有する。絶縁層48が電界分離領域44に付着される。好適には、絶縁層48は不動態PSG(リン・ケイ酸ガラス)層であり、既知のプロセスにより平坦化される。この工程は、上記工程b)、e)、f)及びo)と共に、チャネル領域の形成を完成する。

【0032】第2のポリシリコン層28は、第3のポリシリコン層38をN型領域24から分離することにより、ワード・ライン・キャパシタンスを低減する。ポリシリコン層28は補助ゲートとして、浮遊ゲート18とポリシリコン層28間のトンネル現象により、可能な"消去ゲート"を提供する。

【0033】上述のように、N型領域または拡散レール24は、アレイ・セルのソース/ドレイン領域を規定し、基板12にN型不純物を添加することにより、各ワード・ライン38間の領域に形成される。ワード・ライン下の活性領域(チャネル領域)には、N型材料は直接添加されない。各セルは浮遊ゲート、補助ゲート、ドレイン及びソースを有する記憶トランジスタを構成する。メモリ・アレイ10の固有な特長は、N型領域24の任意の特定部分が、隣接セルのソース及びドレインを規定することである。従って、メモリ構造10は、あるセルC_{0,0}のソースが隣接セルのドレインでもあり、またその逆もあてはまる図25に示されるメモリ・セル・アーキテクチャを有する。こうした構成は、あるセルのソースが隣接セルのドレインと異なる電位である時に発生する、典型的な極性問題を排除する。従って、各ビット・ライン111(B₀...B_n)は1セルのドレインとして、同時に隣接セルのソースとして作用する。例え

ば、B₁はセルC_{0,0}のソース202として、同時にセルC_{0,1}のドレイン204として作用する。更に図25に示されるように、ビット・ラインB₀を除く各ビット・ラインは、その特定のビット・ラインにより規定される列内の各対のまたは隣接セルのソース及びドレインとして作用する。こうした構成は、アレイのオペレーションに必要なビット・ラインの数を低減し、従って追加のメモリ・セルのための追加の空間を提供する。更にこうした構成は、選択ラインの必要を排除し、同様に追加セルのための追加の空間を提供する。従って、この構成は、比較的設計的な複雑度の低い高密度メモリ・アレイに帰結する。更に図25に示される構成は、あるセルのソースが隣接セルのドレインと同一電位であるので、非選択セルが電力を消費しないために、比較的低い消費電力を提供する。図25に示される各セルは、EEPROMセルであり、各セル内の破線は浮遊ゲートを表す。

【0034】2) 第2の態様

図13を参照すると、本発明の別のメモリ・アレイ100が示され、相互に交差する行及び列に配置される複数のメモリ・セルを含む。列はビット・ラインB₀、B₁、B₂、...、B_mに接続され、行はワード・ラインW₀、W₁、W₂、...、W_nに接続される。メモリ・アレイ構造100はマンハッタン構造に構成される。メモリ・アレイ構造100を形成するプロセスについては、図13及び図14乃至図24に関連して詳述される。

【0035】A) 第2の態様を形成するプロセス

本発明のメモリ・アレイの第2の態様を形成するプロセスの各工程について、詳細に説明する。

a) 図14を参照すると、プロセスの第1工程は、基板104上に電界分離領域102を形成する。LOCOS分離またはSTI分離などの標準の分離プロセスが、メモリ・セル・アレイの支援回路のために使用される。こうしたプロセスが使用される場合、アレイは活性領域(無電界酸化物)として保持され、窒化物が電界分離領域に該当しない任意の領域上に付着される。

【0036】b) 必要に応じて、セルしきい値を調整するように、イオン注入によりアレイの選択領域に添加するために、アレイ活性領域がマスクされる。このプロセス工程は、例えば電界分離の形成の間に活性領域を保護する窒化物層を除去した後など、電界分離の完了後に実施される。

【0037】c) デバイス領域上の残りの保護膜が、次にエッチング・プロセスにより除去される。ここで用語"デバイス領域"は、メモリ・セル回路または支援回路で使用される任意のデバイスを指すものとする。

【0038】d) 図15を参照すると、トンネル酸化物層106がアレイ活性領域108上に成長される。トンネル酸化物層106は、好適には約90Åの厚さを有する。

【0039】e) 図15を参照すると、第1のポリシリコン層110がトンネル酸化物層106上に付着され、浮遊ゲートを形成する。ポリシリコン層110は好適には約1200の厚さを有する。

【0040】f) 図15を参照すると、ポリシリコン層110が次に付着され、酸化されて共重合絶縁層113を形成する。共重合絶縁層113は、好適には約250の厚さを有する。酸化物-窒化物-酸化物(ONO)絶縁層が所望される場合には、次に窒化物層が共重合絶縁層113上に付着される。窒化物層は、好適には約70の厚さを有する。

【0041】g) 図13、図16及び図17を参照すると、共重合絶縁層113及び第1のポリシリコン層110が、リソグラフィック・マスク及び異方性エッチング技術によりパターンニングされる。エッチング技術として、RIEエッチング技術が使用される。エッチング工程は、支援回路領域から共重合絶縁層及びポリシリコン層を除去する。アレイ活性領域108のパターンニングにより、ワード・ラインの方向に垂直な方向に、材料のストライプまたは細長のスタック109が生成され、浮遊ゲートがワード・ラインに平行な方向に連続的にならないようにする。

【0042】h) 図18を参照すると、アレイ活性領域がマスクされ、基板内にN型添加物が注入されて、ポリシリコン層110及び共重合絶縁層113のストライプまたはスタック109間に、連続的な拡散ルール103が位置整合されて形成される(拡散の連続ルールはスタック109に自己整合される)。特に、連続拡散ルールは、フォトリソ・マスクを用いるN型添加物のイオン注入により形成される。N型添加物は、制御ゲートまたはワード・ラインの直下のアレイ活性領域部分には注入されない。これらの形成については後述される。前述のメモリ・アレイ構造と同様、メモリ・アレイ100の固有の特長は、拡散ルール103の任意の特定部分が、隣接セルのソース及びドレインを規定することである。これについては更に後述される。

【0043】i) 必要に応じて、ポリシリコン層110により覆われない残りのトンネル酸化物106が領域内ではぎ取られる。

【0044】j) 図19を参照すると、酸化物層115がポリシリコン層110により覆われないアレイ活性領域の全ての部分上に成長される。この工程は、酸化物層115をONO層にするような層が共重合絶縁層113上に付着された場合、共重合窒化物層の酸化に作用する。これは窒化物層が共重合絶縁層113上に付着された場合にだけ発生しうる。この工程は、共重合絶縁層113により覆われないポリシリコン層110のエッジも酸化させる。ソース/ドレイン領域を規定する連続拡散ルール及びポリシリコン層11のエッジを覆う酸化物層115部分は、約650の厚さを有する。非添加領域

上に成長される酸化物層115部分は、約200の厚さを有する。

【0045】k) 次の工程では、支援回路領域のしきい値を選択的に調整するように、マスクして注入する。マスク及びエッチング・プロセスにより、低電圧支援回路領域から酸化物層115が除去される。この酸化物は高電圧支援回路のゲート領域上のマスクにより保持される。高電圧回路は通常、論理関数で使用される低電圧支援回路よりも厚いゲート酸化物層を要求する。

【0046】i) 次に低電圧ゲート酸化物が、低電圧支援回路領域上に成長される。従って、高電圧支援回路のゲート領域の総ゲート酸化物層は、以前の酸化物層115とこの工程で形成される酸化物層とを含む。低電圧支援回路の総ゲート酸化物層は、この工程で形成される酸化物層だけを含み、従って、高電圧支援回路のゲート領域上に形成される総ゲート酸化物層よりも薄い。

【0047】m) 図13及び図20を参照すると、制御ゲート(ワード・ラインとも呼ばれる)を形成するために、第2のポリシリコン層114が付着される。説明の都合上、第1のポリシリコン層110は破線により、第2のポリシリコン層114の下方に示される。この図の尺度は実際とは異なり、後述のように、第1のポリシリコン層110及び第2のポリシリコン層114は互いに位置整合される。

【0048】n) 図20を参照すると、第2のポリシリコン層114が次にリンにより添加され、好適には酸化物と窒化物との化合物から成る絶縁層またはキャップ117により覆われる。

【0049】o) 図21を参照すると、絶縁層またはキャップ117及びポリシリコン層114が次にパターンニングされて、支援回路のセルのゲート電極が形成される。この層のエッチング工程は、支援回路領域内のゲート酸化物層上で終端する。アレイ活性領域内において、エッチングは共重合絶縁層113上または連続拡散領域(ソース/ドレイン領域)上の酸化物層115上で停止する。第1のポリシリコン層110を第2のポリシリコン層114のエッジに位置整合(または自己整合)するために、第2のポリシリコン層114が露出された共重合絶縁層113及びポリシリコン層114の方向性エッチングのためのマスクとして使用される。このエッチング・プロセスの間、支援回路を保護するために、追加のマスクが使用される。連続拡散ルール(またはソース及びドレイン領域)上の酸化物層は、共重合絶縁層よりも厚いので、このエッチング・プロセスの後、酸化物がソース及びドレイン領域上で取り残される。従って、ポリシリコンを選択的にエッチングする任意の続くエッチング・プロセスは、ソース/ドレイン領域のシリコン(Si)をエッチングしない。絶縁層またはキャップ117が、ポリシリコン層114がエッチングにより取り去られないように保護する。

【0050】p) 図23を参照すると、これは図17に類似の断面図を表し、寄生FETのしきい値 V_t を上昇させて分離を改善するように、次に浮遊ゲート110間の電界分離領域101が注入される。分離領域101は低まった領域である。前述の注入工程を達成するために、ブロック・アウト・マスクが支援回路領域上で使用される。注入123はアレイ内の適切な領域と自己整合される。支援回路またはメモリ・セルにとって必要なLDDまたは他のドレイン・エンジニアリングのために、他のマスク工程及び注入工程が使用されてもよい。この工程は、前記工程b)、d)、e)、h)及びo)と共に、チャンネル領域の形成を完成させる。

【0051】q) 図23を参照すると、軽酸化がポリシリコン層110及び114により規定されるスタックのエッジを封止する酸化物層125を形成する。酸化物層125はスペーサとして作用し、上述のエッチングまたは注入工程の間に、ポリシリコン層110及び114のエッジにおいて遭遇されうる任意の損傷を直すことを容易にする。次に、図24に示されるように、ゲート上への酸化物/窒化物の化合物の共形付着、及びそれに続く異方性エッチング・プロセスにより、スペーサ126が酸化物125上に形成される。

【0052】r) 必要に応じて、電界分離領域が約500の厚さを有するように、更に酸化される。絶縁層117及び側壁スペーサ126内の窒化物がゲート電極の酸化を防止する。

【0053】s) 次に支援デバイスのソース/ドレイン領域が適切なマスク及び注入プロセスにより形成される。

【0054】t) 図24を参照すると、第3のポリシリコン層130がアレイ活性領域上に付着され、リンにより適切に添加される。

【0055】u) 図24を再度参照すると、次にポリシリコン層130上に絶縁層132が付着される。ポリシリコン層130及び絶縁層132がパターンニングされて、アレイ上に電界遮蔽が形成される。この遮蔽は次にエッチングされ、支援回路領域から完全に除去される。*

選択セル ビット・ライン

	B0	B1	Bj-1	Bj	Bj+1	Bn-1	Bn
セル0	VP	0	0	0	0	0	0
セルj	VP	VP	VP	VP	0	0	0
セルn-1	VP	VP	VP	VP	VP	VP	0

【0060】1ワード・ラインだけが選択される場合には、nビットの1ビットだけが、プログラミングのためにビット復号器により選択される。毎回、1ビット・ラインだけが切り替えられる必要がある。複数ワード・ラインが選択されている場合には、複数ビットを同時に書込むことができる。

選択セル ビット・ライン

	B0	B1	Bj-1	Bj	Bj+1	Bn-1	Bn
--	----	----	------	----	------	------	----

* このエッチング工程を実現するために高度に選択的な等方性エッチング・プロセスが使用され、支援回路ゲートのエッジ上に拡散レール部分が残らないようにされる。好適には、ポリシリコン層130がグラウンド電位にバイアスされる。

【0056】上述のように、N型領域または拡散レール103が、アレイ・セルのソース/ドレイン領域を規定し、基板104内へのN型不純物の添加により、各ワード・ライン間に形成される。N型材料は、ワード・ラインの活性領域の直下に添加される。上述のように、メモリ・アレイ100の固有の特長は、拡散レール103の任意の特定部分が、隣接セルのソース及びドレインを規定することである。各セルは浮遊ゲート、制御ゲート、ドレイン及びソースを有する記憶トランジスタを構成する。メモリ構造100はまた、上述の図25に示されるメモリ・セル・アーキテクチャを有する。

【0057】3) プログラミング及び消去オペレーション

次に、上述の逆プログラミング及び読出し干渉を排除する改善された方法について述べることにする。

【0058】1. ブロック消去

全てのビット・ラインB0乃至Bnが V_0 。(NチャンネルFETでは約8V)に持ち上げられ、全てのワード・ラインW0乃至Wmが接地される。消去選択はワード・ラインを論理"0"に、選択ビット・ラインBLを V_0 にセットすることにより2ビットに制御される。非選択ワード・ライン及び非選択ビット・ラインは、 V_0 の約1/2にセットされる。

【0059】2. ドミノ・プログラム

プログラミング・オペレーションを実現するためには、発生しうる混乱を回避するために、ワード・ライン選択以前に、ビット・パターンが事前設定されなければならない。下記の表1は、nビットの内の1ビットに対するプログラム・ビット・パターンを示す。 V_0 は通常、6.5Vである。

【表1】

※【0061】3. 読出し

下記の表2は、nビットの内の1ビットに対する読出しビット・パターンを示す。ワード・ラインは初期に論理"0"にセットされ、アクセス時に V_0 に持ち上げられる。

【表2】

17					18
セル0	VDD	0	VDD	VDD	VDD VDD VDD VDD
セルj	VDD	VDD	VDD	vdd	0 VDD VDD
セルn-1	VDD	VDD	VDD	VDD	VDD vdd 0

【0062】セルjが選択されるとき、BjがVDDにプリチャージされ、一方Bj-1はVDDにバイアスされ、Bj+1は0にバイアスされる(vddはセルがVDDにプリチャージされることを表す)。セルjが'1'状態の場合、BjはVDDに維持される。セルjが'0'状態ならば、Bjはプル・ダウンされる。ダウン・レベルは、セルj-1が'0'状態ならば、セルj-1によりVDDより低いあるV_iにクランプされるか、或いはセンス増幅器の回路によりクランプされる。

【0063】ビット・ライン・センス信号が、フラッシュ・セルのあるV_iに制限される。しかしながら、スイング(振幅)は約100mVの入力信号スイングを必要とする従来のセンス増幅器にとって十分である。1度にnビットの内の1ビットだけが選択される場合、1ビット列がグラウンドに放電され、他の全ての非選択列はVDDに維持される。しかしながら、読出しオペレーションでは複数ビット・ラインが選択されうるので、こうしたオペレーションを実現するためには回路変更が要求される。

【0064】4)ドミノ・アクセス機構
好適な態様では、読出し及び書込みの両オペレーションにおいて、ドミノ・アクセス機構が使用される。

【0065】ドミノ機構は、フラッシュ・メモリ・アレイの、そして特にマンハッタン構造のメモリ・アレイのアクセスの間の列(ビット・ライン)移動を指す。ここでアクセスとはフラッシュ・アレイの読出し及びプログラミングを指す。消去は一般にデータ・ビット・ブロックに対して実行され、ドミノ機構により提供される厳密な選択を要求しない。

【0066】プログラミングでは、ビット・ラインは2つの可能な電圧レベル、例えばGND(グラウンド電位)及びVPを有する。今日の技術では、VPは約4V乃至8Vである。全てのビット・ラインがGNDまたはVPのとき、アレイは待機状態であり何もオペレーションは実行されないが、アレイはドミノ・プログラミングの準備完了状態である。ドミノ・プログラミングは全てがGND状態または全てがVP状態のいずれかから開始し、アレイの左側からまたはアレイの右側から開始する。全てのビット・ラインが初期にGNDにセットされており、プログラミングが左側から開始し、1ワード・ラインだけが選択されている場合、最左端ビット列をVPに持ち上げることで最左端ビット列のプログラミングが実行される。次に、2番目の最左端ビット列をVPに持ち上げることで、2番目の最左端ビット列のプログラミングが実行される。この直列リップリング(すなわち波紋)が、全てのビット列がVPにセットされるまで左から右に継続される。

【0067】この時点で、プログラミングは次の2つのいずれかの方法により、次のワード・ラインに対応するように移行する。

a) 全てのビット列をGNDにリセットし、上述の如く左から右にリップリングを繰返す。

b) 現ビット・ライン・レベルから開始するが、最右端ビットをプログラムするために最右端ビット列を接地する。その後、最右端列を除くほとんどのビット列がVPとなる。次に、2番目の最右端ビットがそれにV_iを供給することによりプログラムされ、その間、次のすなわち続く3番目の最右端ビット列はグラウンド電位である。右から左へのこのリップリングが、全てのビット・ラインがGNDにセットされるまで継続される。

【0068】この後、ドミノ・アクセスが上述のように再度左から右に進行する。この左から右への及び右から左への交互のリップリングは、ビット・サーベントイン・ドミノ機構として参照される。サーベントイン・ドミノ機構は、データ・ブロックを直列に低消費電力で書込むのに有用である。電力節減は単一ビット・ライン切替の静かなオペレーションにより達成される。

【0069】プログラミング・オペレーションでは、オペレーションを高速化するために、複数ワード・ラインが選択されうる。しかしながら、プログラミング電流が同一ビット列上でプログラム可能なビット数を制限する。従って、データ入力ワード・ライン電圧レベルを通じて制御されることが必要である。

【0070】ドミノ機構は読出しにも同様に適用される。ドミノ読出し機構は、マンハッタン構造内の隣接セルからの読出し干渉を排除するために必要とされる。2種類のビット・ライン電圧レベルVL及びVHが存在する。VLは好適にはグラウンド電位(GND)であり、VHは好適には約1.5Vである。しかしながら、読出されるために選択されるビット・ラインはvhとして参照されるレベルにセットされる。vhにセットされるビット・ラインは、そのビット・ラインがVHにプリチャージされることを示す。ビット・ラインは選択セルが消去されていれば、こうしたセルによりVLにプルダウンされる。選択セルがプログラムされていれば、ビット・ラインはVHに維持される。プログラミングの場合には、1度に複数ワードが選択されうるのに対して、読出しオペレーションでは、1度に1ワードだけが選択されうる。

【0071】1. 消去

ドミノ機構による消去オペレーションでは、全てのビット・ラインBL_nがV₀。(好適には約8V)に持ち上げられ、ワード・ラインはグラウンド電位に接続される。

50 消去選択は選択ビットに関連付けられるワード・ライン

を約0Vにセットし、選択ビット・ラインを V_{00} にセットすることにより2ビットにより制御されうる。非選択ワード・ライン及びビット・ラインは V_{00} の約1/2Vすなわち約4Vにセットされうる。

【0072】2. プログラム

1サイクルにつき $m \times n$ セル内の1セルに"1"を書込むためのドミノ・ビット・パターンについて述べることにする。特定のビット・パターンに対してワード・ライン選択信号が W_0 から W_n に波紋される。次のビット・パターンに対し、ワード・ライン選択信号が W_0 から W_n にうねるように波紋される。"0"を書込むとき、書き込みクロックがスキップされるかワード・ライン選択信号がスキップされる。消費電力を最小化するためにはサーペンタイン・ドミノ書き込み機構が好適である。なぜなら、1ワード・

選択セル ビット・ライン

	B0	B1	Bj-1	Bj	Bj+1	Bn-1	Bn
セル0	0	VP	VP	VP	VP	VP	VP
セルj	0	0	0	VP	VP	VP	VP
セルn-1	0	0	0	0	0	0	VP

【0073】セルi、jは、図26の行i、列jのセルである。単一ワード・ラインが選択されるときには、1セルがプログラムされる。複数ワード・ラインが選択さ※

ドミノ・プログラム	B0	B1	B2	B3	B4	B5	B6
セル0	VP	0	0	0	0	0	0
セル1	VP	VP	0	0	0	0	0
セル2	VP	VP	VP	0	0	0	0
セル3	VP	VP	VP	VP	0	0	0
セル4	VP	VP	VP	VP	VP	0	0
セル5	VP	VP	VP	VP	VP	VP	0

【0074】3. 読出し

1サイクルにつき $m \times n$ セル内の1セルを読出すためのドミノ・ビット・パターンについて述べることにする。あるビット・パターンに対してワード・ラインが W_0 から W_n に波紋される。次のビット・パターンに対してワード・ラインが W_0 から W_n にうねるように波紋される。表5を参照すると、 V_L 及び V_H は電圧バイアスであり、 $0 \leq V_L \leq V_H \leq V_{DD}$ である。 V_L はグラウンド電位であり、 V_H は好適には約1.5Vである。 V_{DD} は好適には約5Vであり、 V_H は特定のセルが V_H 電位にプリチャージされることを表す。各ワード・ライン選択 W_0 乃至 W_n 。★40

選択セル ビット・ライン

	B0	B1	Bj-1	Bj	Bj+1	Bn-1	Bn
セルi、0	VL (vh)	VH	VH	VH	VH	VH	VH
セルi、j	VL	VL	VL	(vh)	VH	VH	VH
セルi、n-1	VL	VL	VL	VL	VL	VL	(vh)

【0075】表6及び図25は、ドミノ読出し機構が様々なビット列のセルを読出すために使用される様子を示す。セルi、jは、図25の行i及び列jのセルを表す。☆

ドミノ読出し	B0	B1	B2	B3	B4	B5	B6
セル0	VL	vh	VH	VH	VH	VH	VH

ワード・ラインだけが切り替わる必要があり、1セルだけがプログラム電流を導通するからである。ドミノ・ビット・パターンは、1サイクル当たりmビットを書込むために使用されうる。こうした状況においては、同時にmワード・ラインをゲートするためにmデータ・ビットが使用される。mデータ・ビットの1ビットだけが論理"0"の場合、対応するワード・ラインは低または"0"であり、それ以外では、全てのワード・ラインが高である。従って、最大m個の"1"ビットが、この並列ドミノ機構により1サイクルにつき書込まれうる。下記の表3は、図25の様々なビット列のセルを書込むためのドミノ・ビット・パターンを示す。

【表3】

20※れるときには、複数セルがプログラムされる。【表4】

ドミノ・プログラム	B0	B1	B2	B3	B4	B5	B6
セル0	VP	0	0	0	0	0	0
セル1	VP	VP	0	0	0	0	0
セル2	VP	VP	VP	0	0	0	0
セル3	VP	VP	VP	VP	0	0	0
セル4	VP	VP	VP	VP	VP	0	0
セル5	VP	VP	VP	VP	VP	VP	0

30★は初期には V_L であり、特定のワード・ラインがアクセスされるときに V_H に持ち上げられる。セルjを読出すためにセルj-1が V_L にセットされ、セルj+1が V_H にセットされ、 B_j が V_H にプリチャージされる。セルjが論理"1"の場合、 B_j は V_H のままである。セルjが"0"の場合には、 B_j がそのセルによりプルダウンされる。ダウン・レベルはセンス増幅器によりまたは論理"0"状態のセルj+1により、 V_H よりも低いあるしきい値電圧 V_L にクランプされる。

【表5】

☆し、ここで $i = [0, m]$ である。

【表6】

21

セル1	VL	VL	vh	VH	VH	VH	VH
セル2	VL	VL	VL	vh	VH	VH	VH
セル3	VL	VL	VL	VL	vh	VH	VH
セル4	VL	VL	VL	VL	VL	vh	VH
セル5	VL	VL	VL	VL	VL	VL	vh

【0076】5) スキップ (skippy) ・ドミノ・アクセス機構

マンハッタン構造内のスタック・ゲート・フラッシュ・セルに対して、プログラミング及び消去が拡散の同じ側で発生しうる。高電圧拡散消去プロセスが使用される場合には、これは望ましくない。スキップ・ドミノ機構は同じ側での消去及びプログラミングを回避する。図26に示されるように、スキップ・ドミノ機構は、アレイを同一領域に重ねられた偶数サブアレイと奇数サブアレイの2個のサブアレイとして取り扱う。

【0077】2つのビット列がリッピングにおいて毎回切り替えられる。偶数サブアレイがプログラムされる場*

スキップ・プログラム	B0	B1	B2	B3	B4	B5	B6
セル0	VP	0	0	0	0	0	0
セル2	VP	VP	VP	0	0	0	0
セル4	VP	VP	VP	VP	VP	0	0
セル1	0	0	VP	VP	VP	VP	VP
セル3	0	0	0	0	VP	VP	VP
セル5	0	0	0	0	0	0	VP

【0078】行指標 i はここでは単純化のため省略される。ブロック消去は B_1, B_3, \dots を V_0 に持ち上げ、 B_0, B_2, \dots 及び全てのワード・ラインを GND に維持することにより達成される。

【0079】スキップ・ドミノ機構は読出しオペレーションでは必要ないが、全体メモリ・アレイ設計を単に単純化するために使用される。

【0080】従って、本発明のメモリ・アレイ・アーキテクチャは、次のようなメモリを提供する。すなわち、a) 3つの自己整合ポリシリコン層を使用することにより、よりコンパクトなメモリ・アレイを生成する。更に自己整合機構はオーバーレイ公差を不要にする。更に自己整合機構は、あるポリシリコン層と別のポリシリコン層とのオーバーラップを最小化し、それによりメモリ・アレイ性能に直接影響する寄生容量を最小化する。

b) NOR 論理メモリ・アレイの性能及び設計の単純化、並びに NAND 論理メモリよりも高密度を有する。c) 高度に添加されたソース/ドレイン注入により接続されるビット・ラインを有し、16 デバイスよりも大きな距離で実現される金属スティッチングを可能にする。従って、1 メモリ・アレイ当たりの金属スティッチングの量が低減され、高密度メモリ・アレイ設計を許容する。

d) 選択ゲート・デバイスを使用せず、それにより

i) より近接したビット・ライン間隔を許容する。

ii) 1 アレイ当たりのメモリ・セル数の増加を許容す

22

* 合、セル0をプログラムするために、最左端ビット列 B0 が VP に持ち上げられ、他の全ての列は GND である。次に列 B1 及び B2 が VP に持ち上げられ、セル2がプログラムされる。同様に列 B3 及び B4 が VP に持ち上げられ、セル4がプログラムされる。一方、奇数サブアレイがプログラムされる場合には、セル1をプログラムするために B0 及び B1 が VP にセットされ、他の全ての列は GND である。同様に列 B2 及び B3 が VP に持ち上げられて、セル3がプログラムされる。このプロセスは、奇数サブアレイ全体がプログラムされるまで継続する。

【表7】

	B0	B1	B2	B3	B4	B5	B6
セル0	VP	0	0	0	0	0	0
セル2	VP	VP	VP	0	0	0	0
セル4	VP	VP	VP	VP	VP	0	0
セル1	0	0	VP	VP	VP	VP	VP
セル3	0	0	0	0	VP	VP	VP
セル5	0	0	0	0	0	0	VP

ることにより、高密度を提供する。

iii) 消費電力の低減を可能にする。

e) 比較的低いプログラミング電圧を用いて、チャネル・ホット・エレクトロン・トンネル現象によりプログラミングするので、より高速なプログラミング時間及びより近接したビット・ライン間隔を許容する。

f) 製造コストの相対的な低減を可能にする。

【0081】本発明は特定の好適な態様に関連して述べられてきたが、当業者には上述の説明を鑑み、本発明の趣旨及び範囲から逸脱すること無しに多くの別の態様及び変更が明らかであろう。従って、本発明はこれらの別の態様及び変更も包含するものである。

【0082】まとめとして、本発明の構成に関して以下の事項を開示する。

【0083】(1) 基板内にメモリ・セルのアレイを製作する方法であって、

a) 前記基板上に隆起した分離領域を形成する工程であって、前記基板のアレイ活性領域上に第1の熱酸化物層を成長させる工程と、前記第1の熱酸化物層上に浮遊ゲートを形成する第1の導電層を付着する工程と、前記第1の導電層上に窒化物層を付着する工程とを含む、前記形成工程と、

b) 前記第1の導電層及び前記窒化物層をマスキング及びエッチングし、第1の方向に延びる複数の間隔を置いた細長のスタックを形成する工程と、

c) 前記スタック間の前記アレイ活性領域に、前記基板

50

と反対の電導性タイプを有する不純物を注入し、前記第1の方向に延び、実質的に平坦な輪郭を有する連続的な細長の拡散レールを形成する工程であって、前記拡散レールが間隔を置いたビット列ラインを形成する、前記注入工程と、

d) 前記拡散レール上及び前記第1の導電層のエッジ上に第2の熱酸化物層を成長させる工程と、

e) 前記第2の熱酸化物層上に、補助ゲートを形成する第2の導電層を付着する工程と、

f) 前記第2の導電層を前記窒化物層と同一平面になるように平坦化する工程と、

g) 前記第2の導電層上に第3の熱酸化物層を成長させる工程と、

h) 前記窒化物層を選択的にエッチングして、前記第1の導電層を覆う前記窒化物層の1部を除去し、前記第1の導電層を露出させるエッチング工程と、

i) 前記露出した第1の導電層上に第1の絶縁層を形成する工程と、

j) 前記第1の絶縁層上に第3の導電層を付着する工程と、

k) 前記第3の導電層上に第2の絶縁層を付着する工程と、

l) 前記第3の導電層及び前記第2の絶縁層をパターンニングして、ワード・ラインを形成するパターンニング工程と、

m) 前記第1の導電層を選択的にエッチングして、前記第1の導電層を前記第3の導電層と実質的に位置整合し、電界分離領域を形成するエッチング工程と、を含む、方法。

(2) 前記電界分離領域に不純物を注入する工程と、前記電界分離領域上に酸化物層を形成する工程と、前記電界分離領域上に第3の絶縁層を付着する工程と、を含む、前記(1)記載の方法。

(3) 前記第1の導電層にリンを添加する工程を含む、前記(1)記載の方法。

(4) 前記第1の導電層がポリシリコンである、前記(1)記載の方法。

(5) 前記基板がP型シリコン基板である、前記(1)記載の方法。

(6) 前記注入工程c)において、前記不純物がN型不純物である、前記(5)記載の方法。

(7) 前記第2の導電層がポリシリコンである、前記(1)記載の方法。

(8) 各ビット列ラインが、該ビット列ラインに関連付けられる各隣接アレイ・セル対のソース領域及びドレイン領域を規定する、前記(1)記載の方法。

(9) 前記第2の導電層にリンを添加する工程を含む、前記(1)記載の方法。

(10) 前記第1の絶縁層がONO共重合絶縁層を含む、前記(1)記載の方法。

(11) 前記第3の導電層がポリシリコンである、前記(1)記載の方法。

(12) 前記第3の絶縁層がリン・ケイ酸ガラスから成る、前記(2)記載の方法。

(13) 前記アレイがNビット・ライン及びMワード・ラインを有する、前記(1)記載の方法により形成されるメモリ・アレイ。

(14) 前記(13)の前記アレイにデータ・ワードを書込む方法が、

a) Nビット・ラインの各々に第1の電位を供給するステップと、

b) 書込みオペレーションが最下位ビット・ラインまたはN番目のビット・ラインのいずれから開始するかを決定するステップと、

c) 前記ステップb)で前記書込み方法が前記最下位ビット・ラインから開始すると決定された場合、第2の電位を前記最下位ビット・ラインに供給し、順次前記第2の電位を各続くビット・ラインに供給するステップと、

d) 前記ステップb)で前記書込み方法が前記N番目のビット・ラインから開始すると決定された場合、前記第2の電位を前記N番目のビット・ラインに供給し、順次前記第2の電位を各ビット・ラインに降順に供給するステップと、を含む、方法。

(15) 次のデータ・ワードを書込むように、前記ステップa)乃至d)を繰返すステップを含む、前記(14)記載の方法。

(16) a) 前記第1の電位を前記N番目のビット・ラインに供給するステップと、

b) 前記第2の電位をN-1番目のビット・ラインに供給するステップと、

c) 前記第1の電位を前記N番目のビット・ラインに供給するステップと、

d) その後Nを1減分するステップと、

e) 全てのビット・ラインが前記第1の電位になるまで、前記ステップa)乃至c)を繰返すステップと、を含む、前記(14)記載の方法。

(17) 前記(13)の前記アレイのセルを讀出す方法であって、

a) ワード・ラインをアクセスするステップと、

b) 前記アクセスされるワード・ラインに関連付けられて讀出されるセルを選択するステップと、

c) 前記選択セルに関連付けられるビット・ラインを第1の電位にプリチャージするステップと、

d) 前記プリチャージされるビット・ラインの直前のビット・ラインに第2の電位を供給するステップと、

e) 前記プリチャージされるビット・ラインの直後のビット・ラインに第1の電位を供給するステップと、を含む、方法。

(18) 基板内にメモリ・セルのアレイを製作する方法であって、

a) 前記基板上に電界分離領域を形成する工程と、
 b) 前記基板のアレイ活性領域上に第1の絶縁層を付着する工程と、
 c) 前記第1の絶縁層上に浮遊ゲートを形成する第1の導電層を付着する工程と、
 d) 前記第1の導電層上に第2の絶縁層を形成する工程と、
 e) 前記第1の導電層及び前記第2の絶縁層をマスキング及びエッチングし、第1の方向に延びる前記第1の導電層及び前記第2の絶縁層の複数の間隔を置いた細長のスタックを形成する工程と、
 f) 前記スタック間の前記アレイ活性領域に、前記基板と反対の電導性タイプを有する不純物を注入し、間隔を置いたビット列ラインを形成する第1の方向に延びる細長の拡散レールを形成する工程であって、前記拡散レールが実質的に平坦な輪郭を有する、前記注入工程と、
 g) 前記第1の導電層により覆われない前記アレイ活性領域の1部上に第3の絶縁層を形成する工程と、
 h) 前記第3の絶縁層上に制御ゲートを形成する第2の導電層を付着する工程と、
 i) 前記第2の導電層上に第4の絶縁層を付着する工程と、
 j) 前記第2の絶縁層及び前記第2の導電層をマスキング及びエッチングし、続いて、前記第1の絶縁層及び前記第1の導電層をマスキング及びエッチングすることにより、前記第1の導電層を前記第2の導電層に位置整合する工程と、
 k) 前記第1及び第2の導電層のエッジ上に第5の絶縁層を形成する工程と、
 l) 前記アレイ活性領域上に第3の導電層を付着する工程と、
 m) 前記第3の導電層上に第6の絶縁層を付着する工程と、
 n) 前記第6の絶縁層及び前記第3の導電層をパターンニングして、前記アレイ活性領域上に電界遮蔽を形成するパターンニング工程と、を含む、方法。
 (19) 前記第1の導電層がポリシリコンである、前記(18)記載の方法。
 (20) 前記第1の導電層にリンを添加する工程を含む、前記(19)記載の方法。
 (21) 前記基板がP型シリコン基板である、前記(18)記載の方法。
 (22) 前記注入工程f)において、前記不純物がN型不純物である、前記(21)記載の方法。
 (23) 前記第2の導電層がポリシリコンである、前記(21)記載の方法。
 (24) 前記第2の導電層にリンを添加する工程を含む、前記(23)記載の方法。
 (25) 各ビット列ラインが、該ビット列ラインに関連付けられる各隣接アレイ・セル対のソース領域及びドレ

イン領域を規定する、前記(18)記載の方法。
 (26) 前記第2の絶縁層が酸化物及び窒化物を含む、前記(18)記載の方法。
 (27) 前記第3の導電層がポリシリコンである、前記(18)記載の方法。
 (28) 前記第3の導電層にリンを添加する工程を含む、前記(27)記載の方法。
 (29) 前記形成ステップk)が、前記第1及び第2のポリシリコン層の前記エッジを封止する酸化物層を形成する工程と、前記酸化物層上に、酸化物及び窒化物を含むスペーサを形成する工程と、を含む、前記(18)記載の方法。
 (30) メモリ・セルのアレイであって、第1の電導性タイプを有する基板と、分離領域を規定する第1の方向に延びる複数の細長のスタックであって、前記の各スタックが、前記基板の活性領域上に配置される第1の熱酸化物層と、前記第1の熱酸化物層上に配置され、浮遊ゲートを形成する第1の導電層と、を含む、前記スタックと、前記基板の前記活性アレイ領域、及び前記スタック間に注入される複数の連続的な細長の拡散レールであって、前記レールが前記第1の方向に延び、実質的に平坦な輪郭を有し、前記基板と反対の第2の電導性タイプを有する不純物を含み、前記の各拡散レールがビット列ライン、及び該ビット列ラインに関連付けられる各隣接アレイ・セル対のソース領域及びドレイン領域を規定する、前記拡散レールと、前記拡散レール上及び前記第1の導電層の前記エッジ上に配置される第2の熱酸化物層と、前記第2の熱酸化物層上に、前記窒化物層と実質的に同一平面になるように配置されて、補助ゲートを形成する第2の導電層と、前記第2の導電層上の第3の熱酸化物層と、前記第1の導電層上に配置される第1の絶縁層と、複数のワード・ラインであって、前記第1の絶縁層上に、前記第1の導電層と位置整合するように配置される第3の導電層と、前記第3の導電層上に配置される第2の絶縁層と、を含む、前記ワード・ラインと、を含む、アレイ。
 【図面の簡単な説明】
 【図1】本発明のメモリ・アレイの1態様の上面図である。
 【図2】基板12上に分離領域14を形成する工程を示す図である。
 【図3】アレイ領域でストライプ19を切り込む工程を示す図である。
 【図4】アレイ領域にN+型不純物を添加し、N型領域24を形成する工程を示す図である。
 【図5】N型領域24上に第2のポリシリコン層28を付着し、平坦化する工程を示す図である。
 【図6】第2のポリシリコン層28上に酸化物層34を成長させる工程を示す図である。
 【図7】露出した第1のポリシリコン層18を酸化し、

ONO共重合絶縁層 36 の底面酸化物層を形成する工程を示す図である。

【図 8】ONO共重合絶縁層 36 上に第 3 のポリシリコン層 38 を、更にその上に絶縁層 40 を付着する工程を示す図である。

【図 9】第 1 のポリシリコン層 18 を選択的にエッチングした後の、図 1 のライン 2 H-2 H に沿う断面図である。

【図 10】第 1 のポリシリコン層 18 を選択的にエッチングした後の、図 1 のライン 2 I-2 I に沿う断面図である。

【図 11】第 1 のポリシリコン層 18 を選択的にエッチングした後の、図 1 のライン 2 J-2 J に沿う断面図である。

【図 12】先行エッチング工程の結果、アレイ内に形成される電界分離領域 44 を示す図である。

【図 13】本発明のメモリ・アレイの別の態様の上面図である。

【図 14】基板 104 上に電界分離領域 102 を形成する工程を示す図である。

【図 15】アレイ活性領域 108 上にトンネル酸化物層 106、第 1 のポリシリコン層 110、共重合絶縁層 113 を付着する工程を示す図である。

【図 16】共重合絶縁層 113 及び第 1 のポリシリコン層 110 をエッチングによりパターンニングする工程を示す図である。

【図 17】図 16 を別の方向から見た図である。

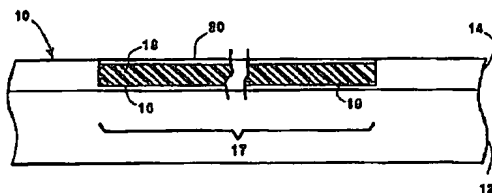
【図 18】アレイ活性領域をマスクし、基板内に N 型添加物を注入して、スタック 109 間に連続的な拡散レール 103 を形成する工程を示す図である。

【図 19】ポリシリコン層 110 により覆われないアレイ活性領域の全ての部分上に、酸化物層 115 を成長させる工程を示す図である。

【図 20】制御ゲートを形成するために、第 2 のポリシリコン層 114 を付着し、絶縁層 117 により覆う工程を示す図である。

*

【図 2】



*【図 21】絶縁層 117 及びポリシリコン層 114 をエッチングによりパターンニングし、支援回路のセルのゲート電極を形成する工程を示す図である。

【図 22】エッチングの結果生成されたゲート電極を示す図である。

【図 23】浮遊ゲート 110 間の電界分離領域 101 を注入する工程、及びポリシリコン層 110 及び 114 により規定されるスタックのエッジを封止する酸化物層 125 を形成する工程を示す図である。

【図 24】スペーサ 126 を酸化物 125 上に形成し、アレイ活性領域上に第 3 のポリシリコン層 130 を付着してリンにより添加し、その上に絶縁層を付着する工程を示す図である。

【図 25】本発明のメモリ・アレイの回路図である。

【図 26】スキップ・ドミノ書き込み機構を表す図 25 の回路図の部分図である。

【符号の説明】

10 メモリ・アレイ

12、104 基板

14、102 分離領域

16、106 トンネル酸化物層

17、108 アレイ活性領域

18、110 第 1 のポリシリコン層（浮遊ゲート）

19、109 スタック（またはストライプ）

20 保護層（窒化物層）

24、103 N 型領域（拡散レール）

26、34、115、125 酸化物層

28、114 第 2 のポリシリコン層

36、113 共重合絶縁層

30 38、130 第 3 のポリシリコン層（ワード・ライン）

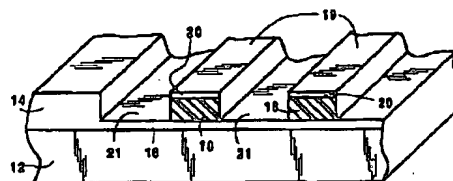
40、48、117、132 絶縁層

44、101 電界分離領域

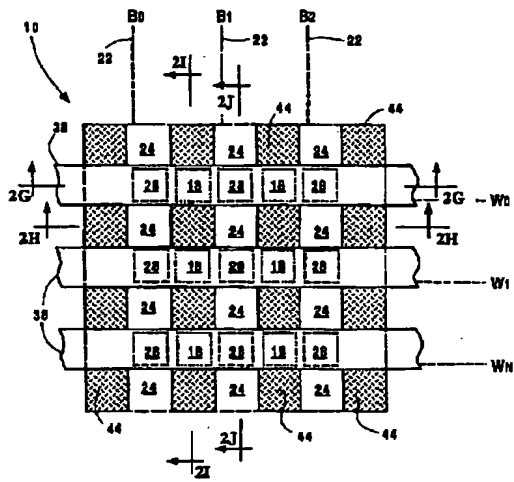
46、123 ホウ素注入

126 スペーサ

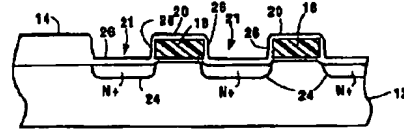
【図 3】



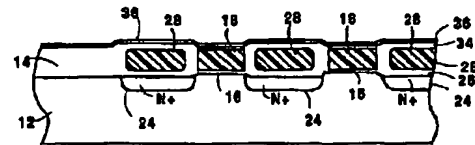
【図1】



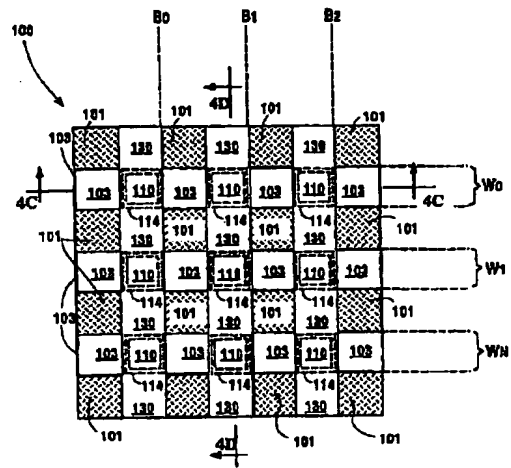
【図4】



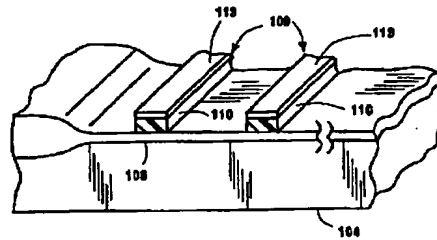
【図7】



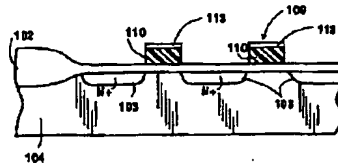
【圖 13】



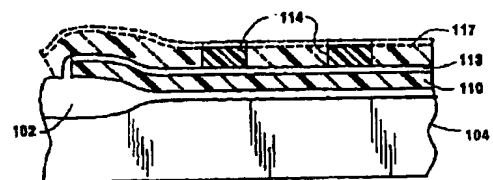
【図 16】



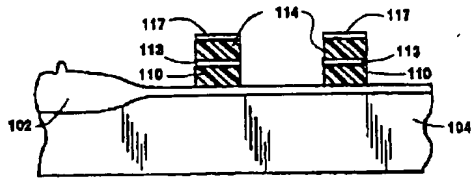
【圖 18】



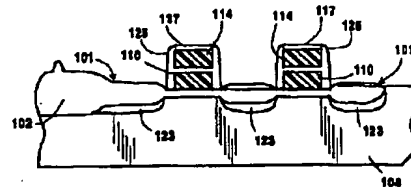
【圖 2 1】



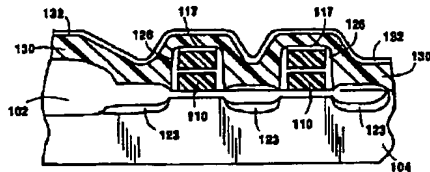
【図 2 2】



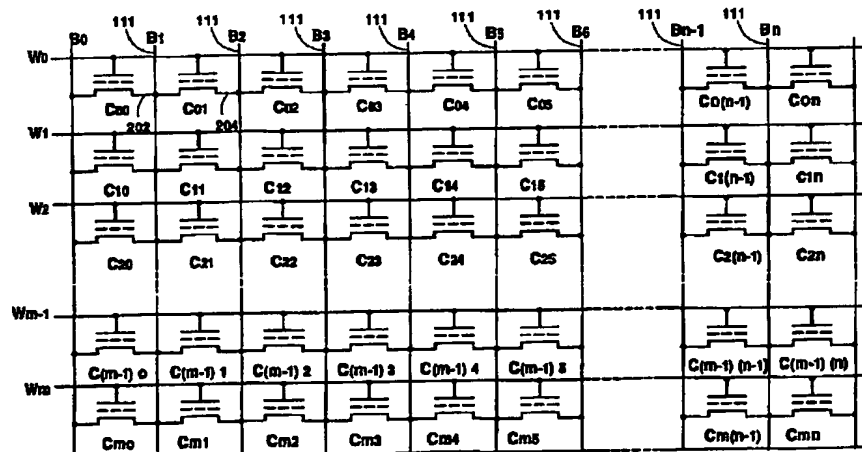
【図 2 3】



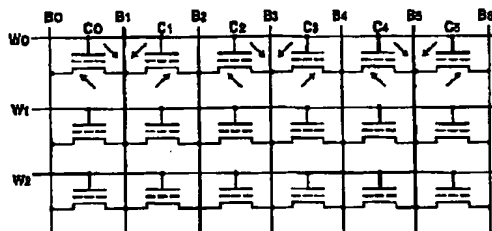
【図 2 4】



【図 2 5】



【図 2 6】



フロントページの続き

(72)発明者 ニボ・ロベド
アメリカ合衆国12540、ニューヨーク州ラ
グランジビル、サンダンス・ロード 1

(72)発明者 ロバート・シィ・ウォン
アメリカ合衆国12603、ニューヨーク州ボ
キプシ、ソーンベリィ・ウェイ 7